

**Family list****6** family members for: **JP10301146**

Derived from 5 applications

**1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE****Inventor:** YAMAZAKI SHUNPEI; ONUMA HIDETO;   **Applicant:** SEMICONDUCTOR ENERGY LAB  
(+2)**EC:****IPC:** G02F1/136; G02F1/1368; H01L21/336  
(+13)**Publication info:** **JP10301146 A** - 1998-11-13**2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE****Inventor:** YAMAZAKI SHUNPEI; ONUMA HIDETO;   **Applicant:** SEMICONDUCTOR ENERGY LAB  
(+2)**EC:****IPC:** G02F1/136; G02F1/1368; H01L21/336  
(+13)**Publication info:** **JP10301147 A** - 1998-11-13**3 Semiconductor device and method of fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); OHNUMA HIDETO (JP); (+2)  
  **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/77T; G02B27/01C; (+2)**IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)**Publication info:** **US6133075 A** - 2000-10-17**4 Semiconductor device and method of fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); OHNUMA HIDETO (JP); (+2)  
  **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/77T; G02B27/01C; (+2)**IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)**Publication info:** **US6524896 B1** - 2003-02-25**5 Semiconductor device and method of fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); OHNUMA HIDETO (JP); (+2)  
  **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/77T; G02B27/01C; (+2)**IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)**Publication info:** **US6864127 B2** - 2005-03-08**US2003138996 A1** - 2003-07-24Data supplied from the **esp@cenet** database - Worldwide

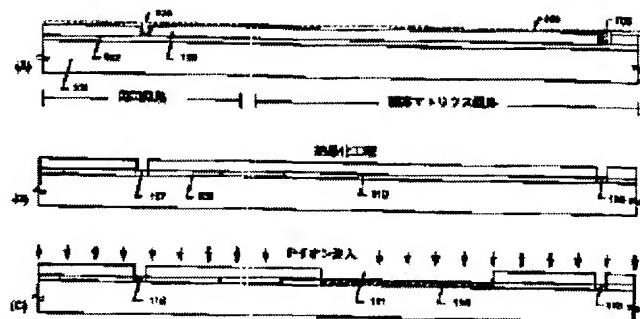
## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

**Patent number:** JP10301146  
**Publication date:** 1998-11-13  
**Inventor:** YAMAZAKI SHUNPEI; ONUMA HIDETO; TAKANO TAMAEC; OTANI HISASHI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: G02F1/136; G02F1/1368; H01L21/336; H01L21/822; H01L27/04; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/04; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L21/822; H01L27/04; H01L29/786  
- european:  
**Application number:** JP19970123283 19970425  
**Priority number(s):** JP19970123283 19970425

[Report a data error here](#)

### Abstract of JP10301146

**PROBLEM TO BE SOLVED:** To simplify a production process and to improve throughput and yield by commonly constituting a process for forming regions for gettering catalyst elements and a process for forming the lower electrodes of auxiliary capacitors. **SOLUTION:** The mask insulating film 103 on an amorphous silicon film 102 is provided with first apertures 104, 105 and a nickel-contg. layer 106 is formed by applying a soln. contg. nickel as the catalyst element for assisting the crystallization of silicon thereon (A). The nickel is diffused into the amorphous silicon film 102 by a heat treatment and is crystallized, by which crystal silicon films 107 to 110 are formed (B). The second apertures 111 are then formed at the mask insulating film 103 and phosphorus ions are added as a group 15 element to getter the catalyst element (C). Consequently, the phosphorus added regions 112, 113 under the apertures 104, 105 function as the gettering regions of the nickel and the phosphorus added regions 114 under the apertures 111 function as the gettering regions simultaneously when the regions turn to the lower electrodes of the auxiliary capacitors.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301146

(43) 公開日 平成10年(1998)11月13日

(51) Int.CI.<sup>6</sup>  
G02F 1/136  
H01L 27/04  
21/822  
29/786  
21/336

識別記号  
500

F I  
G02F 1/136  
H01L 27/04  
29/78  
612  
627  
C  
Z  
G

審査請求 未請求 請求項の数20 FD (全17頁)

(21) 出願番号

特願平9-123283

(22) 出願日

平成9年(1997)4月25日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 高野 圭恵

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

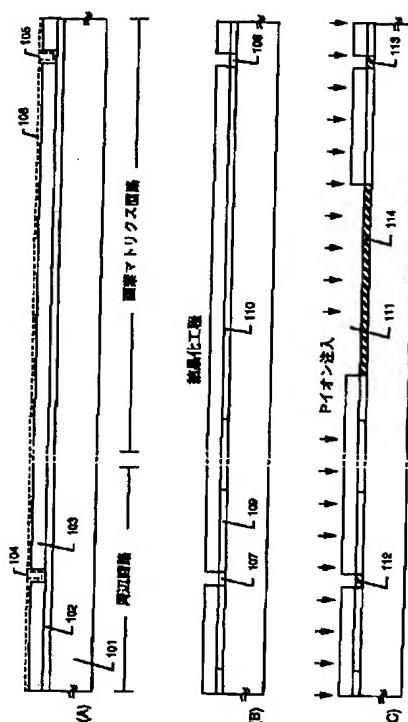
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 半導体装置の作製工程の簡略化を実現するための技術を提供する。

【解決手段】 硅素を含む非晶質膜102上に開口部104、105を有した絶縁膜103を形成する。次に開口部から触媒元素を導入して結晶化を行う。結晶化後、絶縁膜103に開口部111を形成し、Pイオンを添加する。この工程により触媒元素をゲッタリングさせるための領域112、113と後に補助容量の下部電極として機能する領域114とを同時に形成することができる。



## 【特許請求の範囲】

【請求項1】画素マトリクス回路を構成する複数の画素領域のそれぞれに少なくとも一つの半導体素子及び補助容量を有する半導体装置であって、

前記補助容量を構成する一対の電極の少なくとも一方は、15族から選ばれた元素により導電性を与えられた珪素を含む半導体膜で構成され、

前記珪素を含む半導体膜には珪素の結晶化を助長する触媒元素が存在することを特徴とする半導体装置。

【請求項2】画素マトリクス回路を構成する複数の画素領域のそれぞれに少なくとも一つの半導体素子及び補助容量を有する半導体装置であって、

前記半導体素子の活性層及び前記補助容量を構成する一対の電極の少なくとも一方は、珪素を含む半導体膜で構成され、

前記補助容量を構成する一対の電極の一方は、15族から選ばれた元素と珪素の結晶化を助長する触媒元素とを含み、

前記触媒元素の濃度は前記活性層の少なくともチャネル形成領域に含まれる触媒元素の濃度よりも高いことを特徴とする半導体装置。

【請求項3】珪素を含む半導体膜で形成された半導体素子で構成される周辺回路及び画素マトリクス回路を有する半導体装置において、

前記画素マトリクス回路を構成する複数の画素領域のそれぞれは少なくとも一つの補助容量を有し、

前記補助容量を構成する一対の電極の少なくとも一方は、15族から選ばれた元素を含む前記半導体膜で構成され、

前記補助容量を構成する一対の電極の一方は、珪素の結晶化を助長する触媒元素を含み、

前記触媒元素の濃度は前記半導体素子の少なくともチャネル形成領域に含まれる触媒元素の濃度よりも高いことを特徴とする半導体装置。

【請求項4】請求項1乃至2において、珪素を含む半導体膜は特定の方向に規則性をもって並んだ針状または柱状結晶が複数集合してなる結晶構造を有していることを特徴とする半導体装置。

【請求項5】請求項1乃至3において、補助容量を構成する一対の電極の一方には、前記触媒元素が $1 \times 10^{10} \sim 1 \times 10^{11}$ atoms/cm<sup>2</sup>の濃度で含まれることを特徴とする半導体装置。

【請求項6】請求項1乃至3または5において、触媒元素とはN i、C o、F e、P d、P t、C u、A uから選ばれた少なくとも一つの元素であることを特徴とする半導体装置。

【請求項7】請求項1乃至3において、15族から選ばれた元素とはP、A s、S b、B iから選ばれた少なくとも一つの元素であることを特徴とする半導体装置。

【請求項8】珪素を含む非晶質膜の全部または一部に対

して該珪素の結晶化を助長する触媒元素を保持または添加する工程と、

加熱処理により前記珪素を含む非晶質膜の素子形成部を結晶化させる工程と、

前記素子形成部に隣接する領域および補助容量の下部電極となる領域に対して15族から選ばれた元素を同時に添加する工程と、

加熱処理により前記15族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項9】珪素を含む非晶質膜上に第1の開口部を有する絶縁膜を形成する工程と、

前記絶縁膜をマスクとして前記珪素を含む非晶質膜に対して該珪素の結晶化を助長する触媒元素を保持または添加する工程と、

加熱処理により前記非晶質膜の素子形成部を結晶化させる工程と、

前記絶縁膜に第2の開口部を形成する工程と、

前記結晶化工程で得られた珪素を含む膜のうち、第1及び第2の開口部の底部に露出した領域に対して15族から選ばれた元素を同時に添加する工程と、

加熱処理により前記15族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項10】請求項9において、第2の開口部は補助容量の下部電極となる領域上に形成されることを特徴とする半導体装置の作製方法。

【請求項11】同一基板上に周辺回路と画素マトリクス回路とを有する半導体装置の作製方法において、

珪素を含む非晶質膜上の前記画素マトリクス回路となる領域のみに絶縁膜を形成する工程と、

前記絶縁膜に開口部を形成する工程と、

前記絶縁膜をマスクとして前記珪素を含む非晶質膜に対して該珪素の結晶化を助長する触媒元素を保持または添加する工程と、

加熱処理により前記珪素を含む非晶質膜の素子形成部を結晶化させる工程と、

前記素子形成部に隣接する領域および補助容量の下部電極となる領域に15族から選ばれた元素を同時に添加する工程と、

加熱処理により前記15族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項12】同一基板上に周辺回路と画素マトリクス回路とを有する半導体装置の作製方法において、

珪素を含む非晶質膜上の前記周辺回路となる領域のみに絶縁膜を形成する工程と、

前記絶縁膜に開口部を形成する工程と、

前記絶縁膜をマスクとして前記珪素を含む非晶質膜に対して該珪素の結晶化を助長する触媒元素を保持または添

加する工程と、  
加熱処理により前記珪素を含む非晶質膜の素子形成部を結晶化させる工程と、  
前記素子形成部に隣接する領域および補助容量の下部電極となる領域に 15 族から選ばれた元素を同時に添加する工程と、  
加熱処理により前記 15 族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、  
を有することを特徴とする半導体装置の作製方法。

【請求項 13】同一基板上に周辺回路と画素マトリクス回路とを有する半導体装置の作製方法において、  
珪素を含む非晶質膜のうち、前記周辺回路となる領域の全部または一部のみに対して該珪素の結晶化を助長する触媒元素を保持または添加する工程と、  
加熱処理により前記周辺回路となる領域の素子形成部を結晶化させる工程と、  
前記素子形成部に隣接する領域および補助容量の下部電極となる領域に 15 族から選ばれた元素を同時に添加する工程と、  
加熱処理により前記 15 族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、  
を有することを特徴とする半導体装置の作製方法。

【請求項 14】請求項 8、9、11、12 または 13 において、前記 15 族から選ばれた元素を添加する工程はゲッタリング領域を形成する工程と補助容量の下部電極を形成する工程とを兼ねることを特徴とする半導体装置の作製方法。

【請求項 15】請求項 8、9、11、12 または 13 において、触媒元素として Ni、Co、Fe、Pd、Pt、Cu、Au から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 16】請求項 8、9、11、12 または 13 において、触媒元素はイオンプランテーション法により添加されることを特徴とする半導体装置の作製方法。

【請求項 17】請求項 8、9、11、12 または 13 において、15 族から選ばれた元素として P、As、Sb、Bi から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 18】請求項 8、9、11、12 または 13 において、15 族から選ばれた元素を添加する工程は、イオンプランテーション法またはプラズマドーピング法で行われることを特徴とする半導体装置の作製方法。

【請求項 19】請求項 8、9、11、12 または 13 において、15 族から選ばれた元素を添加する工程は  $1 \times 10^{13} \sim 8 \times 10^{15}$  atoms/cm<sup>2</sup> のドーズ量で行われることを特徴とする半導体装置の作製方法。

【請求項 20】請求項 8、9、11、12 または 13 において、15 族から選ばれた元素によるゲッタリング工程は 500 ~ 700 °C で行われることを特徴とする半導体装置の作製方法。

10

20

30

40

50

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は半導体薄膜を利用した半導体装置およびその作製方法に関する技術であり、特に珪素を含む結晶性膜を利用した薄膜トランジスタ (Thin Film Transistor: TFT) に関する。

【0002】なお、本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFT、MOSFET (IGFET) の如き半導体素子のみならず、電気光学装置（液晶表示装置等）やそれを搭載した応用製品（電子デバイス等）も半導体装置の範疇に含まれるものとする。本明細書中では区別を明確にするため、適宜半導体素子、表示装置等と記載する。

## 【0003】

【従来の技術】近年、基板上に形成した薄膜トランジスタ (TFT) で半導体回路を形成する技術の進歩が著しい。特に、薄膜半導体として結晶性珪素膜（ポリシリコン膜等）を用い、同一基板上に周辺回路と画素マトリクス回路とを搭載したアクティブマトリクス型表示装置が実用化レベルに達している。

【0004】中でもアクティブマトリクス型液晶表示装置（以下、AM-LCD と呼ぶ）はノートパソコン、プロジェクター、携帯機器等のディスプレイ用として活発に開発が進められている。AM-LCD はその動作モードによって透過型 LCD と反射型 LCD とに大別される。

【0005】また現在、高精細かつ明るい液晶表示装置の開発が急がれ、XGA (1024×768 画素) や SXGA (1280×1024 画素) の様に各画素が  $30 \mu\text{m}$  角以下の極めて微細なものとなる構造が開発されている。

【0006】上述の様な AM-LCD は液晶層に印加した電圧によって液晶層の光学応答特性を変化させ、光のオン／オフ制御を行う。また、通常は液晶層に保持した電荷の漏れを補うため、補助容量を各画素に設ける構成となる。

【0007】ところで、本発明者らは珪素を含む結晶性膜の形成方法として、結晶化を助長する触媒元素（代表的にはニッケル）を利用して結晶性膜を得る方法を開示している（特開平7-130652号公報参照）。

【0008】同公報では触媒元素を直接添加して結晶化させた領域（以下、縦成長領域と呼ぶ）と、触媒元素を添加した領域の周囲に形成される結晶化領域（以下、横成長領域と呼ぶ）とを形成する技術が開示されている。

【0009】しかしながら、触媒元素は殆どが金属元素であるため、結晶化後に残存すると TFT の信頼性を損ねる恐れがあり好ましくない。

## 【0010】

【発明が解決しようとする課題】本願発明は、上記触媒元素を効果的に除去または低減する工程を有する半導体装置の作製方法において、製造工程を簡略化するための

技術を提供することを課題とする。

#### 【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、珪素を含む非晶質膜の全部または一部に対して該珪素の結晶化を助長する触媒元素を保持または添加する工程と、加熱処理により前記珪素を含む非晶質膜の素子形成部を結晶化させる工程と、前記素子形成部に隣接する領域および補助容量の下部電極となる領域に対して15族から選ばれた元素を同時に添加する工程と、加熱処理により前記15族から選ばれた元素を添加した領域に前記触媒元素をゲッタリングさせる工程と、を有することを特徴とする。

【0012】本発明の基本的な目的は、珪素を含む非晶質膜の結晶化に使用した触媒元素を形成後の結晶性膜中からゲッタリングする作製方法において、その工程を簡略化することにある。

【0013】ここで上記触媒元素のゲッタリング方法について簡単に説明する。本発明の構成の一つに、15族から選ばれた元素によるゲッタリング効果を利用する特徴がある。

【0014】上記触媒元素としてはNi(ニッケル)、Co(コバルト)、Fe(鉄)、Pd(パラジウム)、Pt(白金)、Cu(銅)、Au(金)が代表的である。本発明者らの実験では、ニッケルが最も適した元素であることが判明している。

【0015】また、上記触媒元素をゲッタリングする15族元素としては、N(窒素)、P(リン)、As(砒素)、Sb(アンチモン)、Bi(ビスマス)が挙げられるが、特に顕著な作用効果を示すのはリンである。

【0016】典型的な例としては、触媒元素としてニッケル、ゲッタリング元素(15族元素)としてリンを使用した場合、600°C前後の加熱処理によってリンとニッケルが安定な結合状態を示す。この時、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P<sub>y</sub>、Ni<sub>x</sub>P<sub>y</sub>という結合状態をとりうる。

【0017】以上の様に、珪素を含む非晶質膜の結晶化を助長する触媒元素としてニッケルを使用した場合、15族から選ばれた元素のゲッタリング作用により結晶性膜中から除去または低減することができる。

#### 【0018】

##### 【実施例】

【実施例1】本発明を利用して反射型液晶表示装置を作製する例について図1を用いて説明する。本実施例では周辺回路を構成する基本回路であるCMOS回路と画素マトリクス回路とを同一基板上に形成する工程について説明する。

【0019】なお、図面作成の都合上、周辺回路と画素マトリクス回路の縮尺比は対応しておらず、画素マトリクス回路部を大きめに記載している。

【0020】また、周辺回路はシフトレジスト等に代表

されるドライバ回路だけでなく、その他の信号処理を行うロジック回路も含まれる。例えば、メモリ、D/Aコンバータ、オペアンプ、パルスジェネレータなどがロジック回路に含まれる。

【0021】まず、絶縁表面を有する基板101として下地膜として酸化珪素膜等を堆積したガラス基板を用意する。また、ガラス基板の代わりに石英基板、シリコン基板、セラミックス基板等を用いても良い。

【0022】次に、非晶質珪素膜102をプラズマCV法または減圧CVD法を用いて10~75nm(好ましくは15~45nm)の厚さに形成する。なお、非晶質珪素膜以外にも珪素を含む非晶質半導体膜、例えばSi<sub>x</sub>Ge<sub>1-x</sub>(0<x<1)を用いることもできる。

【0023】次に、非晶質珪素膜102を特開平8-78329号公報記載の技術を適用して結晶化する。同公報の特徴は、非晶質珪素膜に対して触媒元素を選択的に添加し、基板と概略平行に結晶成長した領域(横成長領域)を得ることにある。

【0024】まず、非晶質珪素膜102上に酸化珪素膜でなるマスク絶縁膜103を50~150nmの厚さに形成する。そして、マスク絶縁膜103をパターニングしてニッケルを添加する領域に第1の開口部104、105を設ける。

【0025】この第1の開口部104、105は後に半導体素子(本実施例ではTFT)を形成する領域(素子形成部)の近傍が露出する様に形成する。即ち、横成長領域がちょうど素子形成部に形成される様に設計しておく。

【0026】次に、薄い酸化膜(図示せず)を露出した非晶質珪素膜の表面に形成する。この工程は酸素雰囲気中のUV光照射などで良い。この酸化膜は次の溶液塗布工程で濡れ性を改善する効果を有する。

【0027】次に、珪素の結晶化を助長する触媒元素(本明細書ではニッケルを例にする)を重量換算で100ppm含んだ溶液(例えば酢酸ニッケル塩溶液、硝酸ニッケル塩溶液等)を非晶質珪素膜102およびマスク絶縁膜103上に塗布し、スピンドル法によりニッケル含有層106を形成する。(図1(A))

【0028】同公報記載の技術を用いると、マスク絶縁膜に形成された第1の開口部104、105で露出した非晶質珪素膜の表面には、約2×10<sup>14</sup>atoms/cm<sup>2</sup>のニッケルが保持される。

【0029】この状態で結晶化のための加熱処理を行う。この加熱処理は500~700°C(代表的には550~650°C)の温度で行い、処理時間は4~24時間(代表的には8~15時間)とする。この処理によりニッケルが膜内部へと拡散して結晶化し、結晶性珪素膜107~110が形成される。(図1(B))

【0030】ここで107、108はニッケルを添加した領域であり、非常に高濃度にニッケルを含有してい

る。また、109、110は横方向に結晶化が進行した横成長領域であり、 $5 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> 程度のニッケルを含む。また、結晶化に至らなかった領域は非晶質のまま残存する。

【0031】この横成長領域は特定の方向に規則性をもつて並んだ針状または柱状結晶が集合した結晶構造となつていて、また、各針状結晶は互いに概略平行に、巨視的には同一の方向に向かって成長しているという特徴がある。

【0032】次に、上記マスク絶縁膜103を再びパターニングして後に補助容量となる電極部（下部電極部）を形成するための第2の開口部111を形成する。なお、マスク絶縁膜103を完全に除去した後に、開口部を有するレジストマスクを新たに設ける構成とすることも可能である。

【0033】そして、その状態でイオンプランテーション法またはプラズマドーピング法によりP（リン）イオンを添加する。Pイオンの代わりにAs（砒素）イオンを用いても有効である。（図1（C））

【0034】本実施例のイオン注入工程は加速電圧を5～25kVとし、ドーズ量を $1 \times 10^{13} \sim 8 \times 10^{15}$  atoms/cm<sup>2</sup>（好みくは $5 \times 10^{13} \sim 1 \times 10^{15}$  atoms/cm<sup>2</sup>）とする。この様な設定とすることで、露出した非晶質珪素膜中には $5 \times 10^{19} \sim 2 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度でPイオンが添加される。

【0035】本実施例の特徴は、まずニッケル添加領域として機能した第1の開口部104、105がリンを添加する領域としても機能する点である。第1の開口部104、105の下に形成されたリン添加領域112、113はニッケルを集めるゲッタリング領域として機能する。

【0036】また、第2の開口部111の下に形成されたリン添加領域114は、N型導電性を有する補助容量の下部電極となる。そして、同時にニッケルを集めるゲッタリング領域としても機能する。

【0037】この様に、ゲッタリング領域を形成する目的でPイオンを添加する工程が、補助容量の下部電極を形成する工程を兼ねている点が本願発明の最も重要な構成の一つである。

【0038】Pイオンの添加工程が終了したら、マスク絶縁膜103を除去した後、窒素雰囲気中で400～700℃（代表的には550～600℃）、2～24時間（代表的には8～12時間）の加熱処理を行い、横成長領域109、110に存在するニッケルをリン添加領域112～114の方へと移動させる。（図2（A））

【0039】なお、この工程はマスク絶縁膜103を除去する前に行つても構わない。また、加熱処理の前にレーザーアニール等の処理を行い、珪素膜中のリンを分散させておくことも有効である。このレーザーアニールを行う場合、マスク絶縁膜103を除去した後にレーザー

アニールを施した方が効果的である。なお、レーザー光としてはKrF、ArF、XeCl等を励起ガスとするエキシマレーザー、CO<sub>2</sub>レーザーおよびYAGレーザー等を利用することができます。

【0040】こうして横成長領域109、110に残留していたニッケルはリン添加領域112～114にゲッタリングされ、ニッケルが低減された横成長領域115、116が得られる。なお、リン元素によるゲッタリング工程については本発明者らが特願平9-94607号で開示している。（図2（A））

【0041】また、リン添加領域112～114はPイオンを添加する工程で非晶質化するが、この加熱処理工程で再び結晶化する。

【0042】なお、本発明者らがSIMS（質量二次イオン分析）で確認した結果、図2（A）に示す工程の後に横成長領域115、116に含まれるニッケル濃度は、少なくとも $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下（これ以下は検出下限となって測定不能）にまで低減されていることが判明した。

【0043】そして、この時、リン添加領域112～114はニッケルがゲッタリングされて集まるため高濃度にニッケルを含有する領域となる。SIMSによる分析では $1 \times 10^{18} \sim 1 \times 10^{20}$  atoms/cm<sup>2</sup>の濃度でニッケルの存在が確認されている。

【0044】ただし、後に補助容量の下部電極として機能するリン添加領域114はニッケルが残存していたとしても電極として機能すれば問題はない。また、リン添加領域112、113は少なくともチャネル形成領域には使用しない（ソース／ドレイン領域としては使用できる）。従って、基本的には活性層を形成する時点で除去するのでニッケルの有無は問題ではない。

【0045】こうして図2（A）の状態が得られたら、珪素膜をパターニングして活性層117～119を形成する。なお、活性層117、118はそれぞれ主に周辺回路を構成するCMOS回路のN型TFT、P型TFTとなる。また、活性層119は画素マトリクス回路を構成する画素TFT（本実施例ではN型TFTとする）となる。

【0046】次に、珪素膜表面に形成された酸化物（図示せず）を除去する。この様な表面酸化物は珪素膜中の汚染物等を取り込んでいるため、除去することで清浄な珪素膜表面を得ることができる。

【0047】そして、ただちにゲート絶縁膜となる酸化珪素膜120をプラズマCVD法を用いて10～150nmの厚さに形成する。勿論、減圧熱CVD法、スパッタ法を用いることもできる。ECRプラズマCVD法や高密度プラズマCVD法でも効果的である。（図2（B））

【0048】次に、アルミニウムまたはアルミニウムを主成分とする材料でなる電極パターン121～124を形成する。電極パターン121～124はそれぞれCM

O S 回路または画素 TFT を構成するゲート電極の原型である。また、電極パターン 124 は補助容量の上部電極の原型である。

【0049】なお、本実施例では画素 TFT としてトリプルゲート型 TFT を採用するため、電極パターン 123 を三つに分けて記載するが実際には全て繋がった同一電極である。

【0050】こうして図3 (A) の状態が得られたら、次に2回の陽極酸化工程を行う。なお、以下に記載する陽極酸化工程からイオン注入 (リン (P) またはボロン (B)) に至るまでの工程は、本発明者らによる特開平7-135318号公報記載の技術によるものである。従って、詳細な条件等は同公報を参考にすると良い。

【0051】電極パターン 121～124 を形成した後、まず、3% シュウ酸水溶液中で陽極酸化を行い、多孔質状の陽極酸化膜 125～128 を形成する。次に、3% 酒石酸を混合したエチレングリコール溶液中で陽極酸化を行い、無孔質状の陽極酸化膜 129～132 を形成する。また、これら2回の陽極酸化工程の後、ゲート電極 133～135、補助容量の上部電極 136 が画定する。

【0052】こうして図3 (B) に示す状態が得られたら、ゲート電極および多孔質状の陽極酸化膜をマスクとしてゲート絶縁膜 120 のドライエッティングを行う。この工程より 137～140 で示される様なゲート絶縁膜が形成される。なお、ゲート絶縁膜 140 は補助容量のキャパシタ絶縁膜として機能する。(図3 (C))

【0053】次に、図3 (D) に示す様に多孔質状の陽極酸化膜 125～128 を除去し、高加速Pイオン注入及び低加速Pイオン注入を行う。この工程によってN型 TFT のソース領域 141、ドレイン領域 142、一対の低濃度不純物領域 (LDD領域とも呼ばれる) 143、チャネル形成領域 144 が形成される。

【0054】また、本実施例では画素 TFT をN型 TFT で構成するため、画素 TFT のソース領域 145、ドレイン領域 146、一対の低濃度不純物領域 147～149、チャネル形成領域 150～152 が形成される。

【0055】なお、この時 P型 TFT の活性層にも Pイオンが添加されて前述のソース/ドレイン領域と同濃度の Pイオンを含んだ領域 153、154 及び前述の低濃度不純物領域と同濃度の Pイオンを含んだ領域 155 が形成される。また、156 で示される領域には Pイオンは全く添加されず、予め添加した Pイオン濃度が保たれるが、実質的に画素 TFT とドレイン領域 146 と一体化してしまう。

【0056】次に、P型 TFT のみが露出する様にレジストマスク 157 を設け、高加速Bイオン注入及び低加速Bイオン注入を行う。この工程によって図3 (D) における Pイオンを含んだ領域 153～155 は全て P型に反転して P型 TFT のソース領域 158、ドレイン領

域 159、一対の低濃度不純物領域 160、チャネル形成領域 161 が形成される。(図4 (A))

【0057】以上の様なイオン注入工程を利用すると、1回のバーニング工程のみで N型 TFT と P型 TFT のソース/ドレイン領域を形成することができる。

【0058】次に、レジストマスク 157 を除去した状態でファーネスアニール、レーザーアニール、ランプアニールのいずれかの手段またはそれらを併用した手段によって注入した Pイオンおよび Bイオンの活性化を行う。また、これと同時にイオン注入により崩れた活性層の結晶性を修復する。

【0059】次に、第1の層間絶縁膜 162 として酸化珪素膜及び窒化珪素膜でなる積層膜を形成する。そして、コンタクトホールを形成した後、ソース電極 163～165 及びドレイン電極 166、167 を形成する。(図4 (B))

【0060】次に、第2の層間絶縁膜 168 として有機性樹脂膜 (ポリイミド、ポリアミド、ポリイミドアミド、アクリル等) を 0.5～3 μm (好ましくは 1.5～2.5 μm) の厚さに形成する。有機性樹脂膜の最も大きな特徴は比誘電率が低い (2.0～3.4 程度) ことであり、これにより配線間の寄生容量を大幅に低減することができる。即ち、ロジック回路など高周波駆動を必要とする回路を構成する際に動作速度の低下を効果的に抑制することができる。

【0061】次に、第2の層間絶縁膜 168 にコンタクトホールを形成して、画素電極 169 を形成する。なお、本実施例では画素電極 169 をアルミニウムまたはアルミニウムを主成分とする材料で構成する。

【0062】最後に、得られた TFT 全体を水素雰囲気において加熱処理して水素化を行い、活性層中のダングリングボンドの低減を図る。こうして、図4 (C) に示す様な、CMOS回路および画素 TFT が同一基板上に一体形成されたアクティブマトリクス基板が完成する。

【0063】この後は、公知のセル組み工程によって上記アクティブマトリクス基板と対向基板との間に液晶層を挟持すれば反射型液晶表示装置が完成する。

【0064】液晶材料の種類、セルギャップ等の設計事項は実施者が適宜決定すれば良い。また、本実施例ではブラックマスクを対向側に設ける構成としているが、アクティブマトリクス基板側の必要箇所に設ける構成としても良い。

【0065】〔実施例2〕本実施例では実施例1とは異なる手段で結晶性珪素膜を形成する例について説明する。なお、基本的に異なる工程は実施例1の図1

(A)、(B)、(C) に対応する工程 (リン元素によるゲッタリング工程の手前の工程) だけなので、これらの工程についてのみ説明することとする。

【0066】本実施例では、非晶質珪素膜を結晶化する手段として特開平7-130625号公報記載の技術の継成長領

域の形成方法を利用する。

【0067】図5 (A)において、501は基板、502は非晶質珪素膜である。縦成長領域を形成する場合、実施例1の様なマスク絶縁膜は必要なく、非晶質珪素膜502の全面に対してニッケル含有層503を形成すれば良い。

【0068】この時、ニッケルを含有した溶液内のニッケル濃度は重量換算で10ppm (非晶質珪素膜の表面で約 $3 \times 10^{13} \text{ atoms/cm}^2$ ) で良い。

【0069】この状態で結晶化のための加熱処理を行う。本実施例では600 °C 4時間とする。この加熱処理により非晶質珪素膜502は全面が結晶化し、縦成長領域と呼ばれる結晶性珪素膜504が得られる。(図5 (B))

【0070】次に、レジストマスク505を形成する。レジストマスク505にはPイオンを添加するための開口部506～508が形成される。そして、開口部506～508を形成したら、Pイオンの注入工程を行い、リン添加領域509～511を形成する。(図5 (C))

【0071】この時、開口部506、507からPイオンが添加された領域509、510はニッケルを集めるゲッタリング領域として機能する。このゲッタリング領域の形成箇所は、素子形成部から離れすぎるとゲッタリング効果が小さくなるので素子形成部に隣接する領域が好ましい。

【0072】また、開口部508からPイオンが添加された領域511は補助容量の下部電極として機能する。勿論、下部電極としての機能に加えてゲッタリング領域としての機能も兼ねている。

【0073】以上の様な工程で図5 (C)に示す状態が得られる。この後は実施例1と同様の工程に従って半導体装置を作製すれば良い。

【0074】[実施例3] 本実施例では同一基板上で縦成長領域と横成長領域とを使い分けて半導体装置を作製する例について説明する。なお、基本的にはリン元素によるゲッタリング工程までが異なるのみで、実施例1や実施例2と類似の工程であるので必要な部分のみを説明することにする。

【0075】図6 (A)において、601は基板、602は非晶質珪素膜である。本実施例では周辺回路を横成長領域で形成し、画素マトリクス回路を縦成長領域で形成する構成とする。そのため、マスク絶縁膜603は画素マトリクス回路となる領域には形成しない様にし、周辺回路となる領域では必要箇所に開口部604を設ける。

【0076】そして、ニッケルを含有した溶液を塗布し、スピンドルコートすることによりニッケル含有層605を形成する。この時、溶液内のニッケル濃度は実施例1と同様に重量換算で100ppmとすれば良い。これ以下の濃

度では横成長領域の成長距離が所望の長さにまで達しない恐れがある。(図6 (A))

【0077】この状態で結晶化のための加熱処理を行う。本実施例では横成長を十分に行わすために600 °C 8時間とする。この加熱処理により周辺回路となる領域ではニッケル添加領域(縦成長領域とも言える)606、横成長領域607が形成される。また、画素マトリクス回路となる領域では非晶質珪素膜602の全面が結晶化し、縦成長領域608が形成される。(図6 (B))

10 【0078】そして、マスク絶縁膜603を除去した後、開口部610～612を設けたレジストマスク609を形成し、Pイオンの注入工程を行ってリン添加領域613～615を形成する。(図6 (C))

【0079】本実施例でも実施例1、実施例2と同様に、リン添加領域613、614はニッケルを集めるゲッタリング領域として機能し、リン添加領域615は補助容量の下部電極として機能する。勿論、下部電極としての機能に加えてゲッタリング領域としての機能も兼ねている。

20 【0080】以上の様な工程で図6 (C)に示す状態が得られる。この後は実施例1と同様の工程に従って半導体装置を作製すれば良い。

【0081】[実施例4] 本実施例では実施例3とは異なる構成で縦成長領域と横成長領域とを使い分ける例について説明する。なお、本実施例もリン元素によるゲッタリング工程までを説明するにとどめる。

【0082】図7 (A)において、701は基板、702は非晶質珪素膜である。本実施例では周辺回路を縦成長領域で形成し、画素マトリクス回路を横成長領域で形成する構成とする。そのため、マスク絶縁膜703は周辺回路となる領域には形成しない様にし、画素マトリクス回路となる領域では必要箇所に開口部704を設ける。

【0083】そして、ニッケルを含有した溶液を塗布し、スピンドルコートすることによりニッケル含有層705を形成する。この時、溶液内のニッケル濃度は実施例3と同様に重量換算で100ppmとすれば良い。(図7 (A))

40 【0084】この状態で結晶化のための加熱処理を行う。本実施例では横成長を十分に行わすために600 °C 8時間とする。この加熱処理により画素マトリクス回路となる領域ではニッケル添加による縦成長領域706、横成長領域707が形成される。また、周辺回路となる領域では非晶質珪素膜702の全面が結晶化し、縦成長領域708が形成される。(図7 (B))

【0085】そして、マスク絶縁膜703を除去した後、開口部710～712を設けたレジストマスク709を形成し、Pイオンの注入工程を行ってリン添加領域713～715を形成する。(図7 (C))

50 【0086】本実施例でも実施例1乃至実施例3と同様

に、リン添加領域 713、714 はニッケルを集めるゲッタリング領域として機能し、リン添加領域 715 は補助容量の下部電極として機能する。勿論、下部電極としての機能に加えてゲッタリング領域としての機能も兼ねている。

【0087】以上の様な工程で図 7 (C) に示す状態が得られる。この後は実施例 1 と同様の工程に従って半導体装置を作製すれば良い。

【0088】〔実施例 5〕本実施例では、補助容量の下部電極を構成する領域をニッケル添加領域として活用する場合の例について説明する。なお、本実施例もリン元素によるゲッタリング工程までを説明するにとどめる。

【0089】図 8 (A) において、801 は基板、802 は非晶質珪素膜である。その上にマスク絶縁膜 803 を形成し、マスク絶縁膜 803 には開口部 804、805 を形成する。この時、開口部 805 は後に補助容量の下部電極となる領域に形成する点に本実施例の特徴がある。

【0090】そして、ニッケルを含有した溶液を塗布し、スピンドルコートすることによりニッケル含有層 806 を形成する。この時、溶液内のニッケル濃度は実施例 3 および実施例 4 と同様に重量換算で 100ppm とすれば良い。(図 8 (A))

【0091】この状態で結晶化のための加熱処理を行う。本実施例ではこの加熱処理を 570℃ 14 時間とする。この様に結晶化温度を 560℃ まで下げることで自然核発生による結晶化を十分に防ぐことができる。自然核発生が生じるとそこで横方向への結晶成長が止まってしまうことが起りうるので好ましくない。

【0092】この加熱処理により周辺回路となる領域ではニッケル添加による縦成長領域 807、横成長領域 808 が形成される。また、画素マトリクス回路となる領域ではニッケル添加による縦成長領域 809、横成長領域 810 が形成される。(図 8 (B))

【0093】そして、図 8 (C) に示す様にマスク絶縁膜 803 をそのままマスクとして P イオンの注入工程を行い、リン添加領域 811、812 を形成する。この後は実施例 1 と同様の工程に従って半導体装置を作製すれば良い。

【0094】本実施例の場合、ニッケルの添加工程に用いたマスク絶縁膜 803 をそのままリン添加工程のマスクとして用いることができるため、製造工程が簡略化されるという利点がある。

【0095】〔実施例 6〕本実施例では画素マトリクス回路に全くニッケルを添加しない構成とする例について説明する。なお、この構成では周辺回路を縦成長領域で構成しても横成長領域で構成しても良いが、本実施例では周辺回路を横成長領域で形成する例について説明する。

【0096】図 9 (A) において、901 は基板、90

30

2 は非晶質珪素膜、903 はマスク絶縁膜である。本実施例の場合、周辺回路となる領域においてマスク絶縁膜 603 に開口部 904 を形成する。画素マトリクス回路となる領域には開口部は形成しない。

【0097】そして、ニッケルを含有した溶液を塗布し、スピンドルコートすることによりニッケル含有層 905 を形成する。この時、溶液内のニッケル濃度は重量換算で 100ppm とすれば良い。(図 9 (A))

10

【0098】この状態で結晶化のための加熱処理を行う。本実施例では 560℃ 20 時間で結晶化工程を行う。この加熱処理により周辺回路となる領域ではニッケル添加による縦成長領域 906、横成長領域 907 が形成される。また、画素マトリクス回路となる領域ではニッケルが全く添加されないので非晶質領域 908 が残存する。(図 9 (B))

20

【0099】そして、マスク絶縁膜 903 を除去した後、開口部 910、911 を設けたレジストマスク 909 を形成し、P イオンの注入工程を行ってリン添加領域 912、913 を形成する。なお、この時点でリン添加領域 912、913 は一旦非晶質化する。(図 9 (C))

【0100】次に、600℃ 24 時間程度の加熱処理を行い、リン元素によるゲッタリング工程を行う。この工程により横成長領域 914 に含まれるニッケルは、リン添加領域 915 へとゲッタリングされる。(図 10 (A))

30

【0101】また、ゲッタリング領域となったリン添加領域 915 はこの加熱処理により再結晶化する。さらに、後に補助容量の下部電極として機能するリン添加領域 916 もこの加熱処理により再結晶化する。

【0102】そして、前述の非晶質領域 908 も自然核発生による結晶化が進行し、結晶領域 917 となる。この場合、後に補助容量の下部電極となるリン添加領域 916 はゲッタリング領域として機能しないのでニッケルは殆ど含まれない。

40

【0103】そして、図 10 (A) の状態が得られたら、必要箇所をパターニングにより残して活性層 918 ~ 920 を形成する。そして、実施例 1 の工程に従ってゲイト絶縁膜 921 を形成する。

【0104】以上の様な工程で図 10 (B) に示す状態が得られる。この後は実施例 1 と同様の工程に従って半導体装置を作製すれば良い。

【0105】〔実施例 7〕本実施例では図 2 (A) に示したリン元素によるゲッタリング工程の加熱方法としてランプアニールを用いる例を示す。

【0106】ランプアニールによる加熱処理としては R T A (ラピッド・サーマル・アニール) が知られている。これはハロゲンランプ等を用いた赤外光を試料に対して照射し、薄膜を加熱する技術である。

【0107】ゲッタリング工程における加熱処理として

RTAを利用すると、700~1100°Cという高温アニール処理を数秒から数分と短い時間で処理することができる。従って、ファーネスアニールよりも高温処理ができるので触媒元素のゲッタリング効果が向上する。また、処理時間もはるかに短いのでスループットも大幅に向かう。

【0108】さらに、700~1100°Cという高い温度による加熱処理によって結晶性珪素膜の結晶粒界付近に存在する珪素原子の再配列がなされ、結晶粒界の不活性化が促進する。即ち、不対結合手の如き結晶欠陥が大幅に減少してキャリアが捕獲される可能性が低くなり、全体的な結晶性が著しく改善される。

【0109】〔実施例8〕本発明では、触媒元素（代表的にはニッケル）の添加方法としてイオンプランテーション法を用いることもできる。この場合、ドーズ量は $0.5 \times 10^{13} \sim 1 \times 10^{15}$  atoms/cm<sup>2</sup>（好ましくは $2 \times 10^{13} \sim 2 \times 10^{14}$  atoms/cm<sup>2</sup>）となる様に調節することが好ましい。

【0110】本実施例の様にイオンプランテーション法で触媒元素を添加する場合、マスク絶縁膜に設ける開口部の幅（短辺）は $0.01 \sim 5 \mu\text{m}$ （代表的には $0.25 \sim 2 \mu\text{m}$ ）程度で良い。即ち、微細なパターンに形成された開口部に対しても十分な量のニッケルを添加することができる。

【0111】従って、回路設計の段階においてデッドスペースとなる触媒元素の添加領域の占有面積を大幅に低減することができるため、回路設計の自由度が向上するという利点が得られる。

【0112】〔実施例9〕実施例1ではゲート電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いたが、本発明はゲート電極として一導電性を有する結晶性珪素膜を用いることも可能である。

【0113】また、チタン、タンタル、タングステン、モリブデン等の金属材料やそれら金属材料と珪素との化合物でなる金属シリサイド等をゲート電極として用いることもできる。

【0114】〔実施例10〕実施例1乃至実施例9では代表的なTFT構造の一例としてプレーナ型TFTの例を示しているが、他にも逆スタガ型TFTなどのボトムゲート型TFTを本発明に適用することも可能である。

【0115】また、TFTに限らず、シリコンウェハー上に形成されたMOSFETに対して適用することも可能である。

【0116】この様に、本願発明は半導体素子（半導体装置）の構造によらず適用することが可能であり、特定構造の半導体素子に限定されるものではない。

【0117】〔実施例11〕本実施例では画素マトリクス回路を構成する画素構成の一例を図11に示す。ただし、構造を簡略化するため画素電極は省略してある。

【0118】図11において11は活性層であり、図2

(C) の活性層119に対応する。本実施例では活性層11のドレイン側を、画素内いっぱいに広がる様に形成してあり、補助容量の下部電極12を兼ねる点に特徴がある。

【0119】その上方にはゲート絶縁膜を介してゲート線13が配置されている。ゲート線13は図3(B)のゲート電極135に対応する。また、ゲート線13とは別に補助容量の上部電極14が形成される。この上部電極14は図3(B)の上部電極136に対応する。

【0120】この場合、上部電極14は下部電極となる活性層とほぼ一致する様な形状に設けられており、ほぼ画素の占有面積の相当する補助容量を形成する。また、隣接する画素間で上部電極14は電気的に接続されている（ゲート線とクロスしない様にゲート線と平行に接続する）。即ち、全ての画素において補助容量の上部電極は同電位に保たれる。

【0121】次に、ゲート線13及び補助容量の上部電極14の上には第1の層間絶縁膜を介してソース電極（ソース線）15及びドレイン電極16が形成される。これらの電極はそれぞれ図4(B)のソース電極165とドレイン電極167に対応する。

【0122】そして、図示していないが、後は図4(C)に示す様に層間絶縁膜168と画素電極169を形成して、公知のセル組み工程を行えば反射型液晶表示装置が完成する。本実施例の様な構造とすると、画素面積が小さくなつてもその面積を最大限に生かして補助容量を確保することが可能である。

【0123】〔実施例12〕本発明は透過型液晶表示装置に適用することもできる。なお、TFTの作製工程は基本的に実施例1で説明した通りなので、詳細な説明は省略する。

【0124】実施例1では画素電極としてアルミニウムを主成分とする材料を用いているが、本実施例では透明導電膜としてITO膜を用いる。また、透過型では開口率を大きくとることが重要な課題となるので、電界遮蔽膜やブラックマスク等は必要な箇所に最小限の大きさで設ければ良い。

【0125】ここで、本実施例の透過型液晶表示装置を上面から見た図を図12に示す。なお、特定の構造を分かり易く説明するためにソース／ドレイン電極を形成した状態の上面図を説明する。従って、画素電極、電界遮蔽膜、ブラックマスク等の記載は省略する。

【0126】図12において、21は活性層であり、その一部（ドレイン領域側）には補助容量の下部電極部22が形成されている。また、活性層21の上にはゲート電極（ゲート線）23が配置され、下部電極22の上には補助容量の上部電極24が配置される。なお、下部電極22は上部電極24によって覆われてしまうので図12では点線で示している。勿論、下部電極22と上部電極24との間にはゲート絶縁膜が挟持されて補助容量を

形成している。

【0127】そして、ゲート電極23、上部電極24と交差する様にしてソース電極(ソース線)25が形成される。このソース電極25はコンタクト部26で活性層21のソース領域と電気的に接続している。

【0128】実際には、活性層や各配線を遮蔽する様にブラックマスクが設けられたり、上下配線間に電界遮蔽膜が設けられたりする。そして、図示しない画素電極がコンタクト部27で活性層21のドレイン領域と電気的に接続する。

【0129】以上の様な構造とすれば、透過型液晶表示装置を作製することができる。なお、本発明は図12に示した装置構造に限定されることは言うまでもない。

【0130】〔実施例13〕実施例1で説明した反射型液晶表示装置を簡略化した断面図を図13に示す。なお、アクティブマトリクス基板の説明は実施例1で既に行つたので、ここではそれ以外の構造について説明する。

【0131】図13において、31は透光性を有する基板、302は透明導電膜である。ここでは省略しているが、透光性基板31の上には他にもカラーフィルター、配向膜、ブラックマスク等が設けられる場合がある。また、そして、これらをまとめて対向基板と呼ぶ。

【0132】対向基板とアクティブマトリクス基板との間では封止材33に囲まれて液晶層34が挟持されている。本発明はECBモード、ゲストホストモード等のあらゆるモードに対応可能であるので、それに応じて液晶材料を変更すれば良い。また、この様な駆動モードによってカラーフィルターが必要になる場合もある。さらに、液晶表示装置の駆動モードによっては偏光板を用いることもある。

【0133】なお、本実施例では周辺回路の上方には液晶層を配置しない構成とし、周辺回路と対向側の透明導電膜32との間に寄生容量が形成されるのを防いでいる。勿論、基板全面に液晶層が配置される様な構成でも構わない。

【0134】また、図14にアクティブマトリクス基板上に配置される各回路の配置構成の一例を示す。図14において、41は基板、42は下地膜、43は画素マトリクス回路、44はソースドライバ回路、45はゲートドライバ回路、46はロジック回路である。

【0135】以上は反射型液晶表示装置の概略であるが、透過型液晶表示装置でも基本的な構成は変わらない。この様に、本発明はどの様な構造の液晶表示装置に対しても適用することが可能である。

【0136】〔実施例14〕本発明は液晶表示装置以外の電気光学装置に対して適用することもできる。その様な電気光学装置としては、EL(エレクトロルミネッセンス)表示装置、EC(エレクトロクロミックス)表示装置等が挙げられる。

10 18 【0137】、〔実施例15〕本実施例では、本発明を利用した電気光学装置を利用する応用製品(電子デバイス)の一例を図15に示す。本発明を利用した応用製品としてはビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0138】図15(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明は表示装置2004に適用することができる。

【0139】図15(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102に適用することができる。

【0140】図15(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205に適用できる。

【0141】図15(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0142】図15(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0143】図15(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0144】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することができる。特に、液晶表示装置をプロジェクターの様な投射型表示装置に用いる場合には、非常に高い解像度が要求される。その様な場合において、本発明は非常に有効な技術である。

【0145】

【発明の効果】触媒元素をゲッタリングするための領域を形成する工程と、補助容量の下部電極を形成する工程とを共通化することで製造プロセスが簡略化される。そのため、スループット、歩留り等が向上し、経済的に有益である。

【0146】さらに、本発明を用いて得られた結晶性膜は触媒元素の効果により結晶性が非常に優れ、かつ、ゲ

ゲッタリング処理によりその触媒元素が除去または低減されている。そのため、半導体装置の活性層として利用した場合、優れた電気特性と高い信頼性とを備えた半導体装置を得ることができる。

## 【図面の簡単な説明】

- 【図1】 半導体装置の作製工程を示す図。
- 【図2】 半導体装置の作製工程を示す図。
- 【図3】 半導体装置の作製工程を示す図。
- 【図4】 半導体装置の作製工程を示す図。
- 【図5】 半導体装置の作製工程を示す図。
- 【図6】 半導体装置の作製工程を示す図。
- 【図7】 半導体装置の作製工程を示す図。
- 【図8】 半導体装置の作製工程を示す図。
- 【図9】 半導体装置の作製工程を示す図。
- 【図10】 半導体装置の作製工程を示す図。
- 【図11】 画素領域を上面から見た図。
- 【図12】 画素領域を上面から見た図。
- 【図13】 液晶表示装置の断面を示す図。
- 【図14】 アクティブマトリクス基板の概略を示す

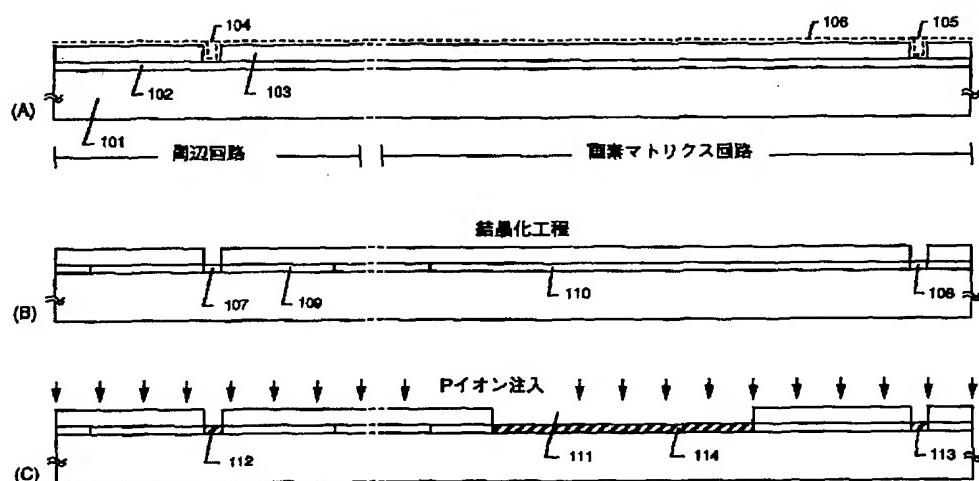
図。

【図15】 応用製品の一例を示す図。

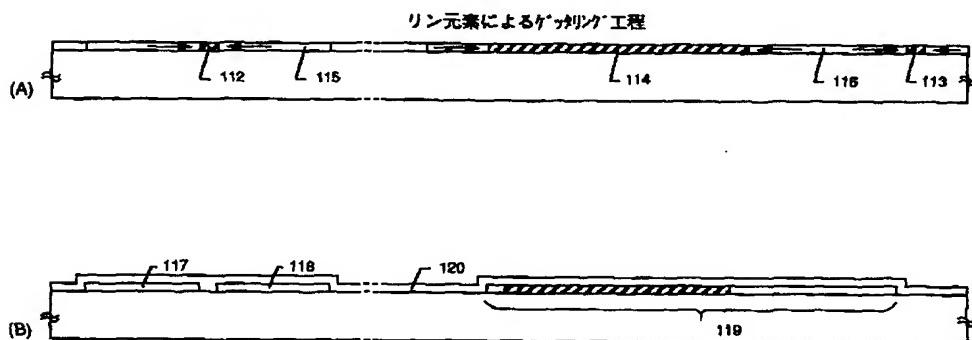
## 【符号の説明】

101	石英基板
102	非晶質珪素膜
103	マスク絶縁膜
104、105	開口部
106	ニッケル含有層
107、108	ニッケル添加領域
10 109、110	横成長領域
111	開口部
112、113	リン添加領域（ゲッタリングサイ
ト）	ト）
114	リン添加領域（補助容量の下部電
極）	極）
115、116	横成長領域
117～119	活性層
120	ゲイト絶縁膜

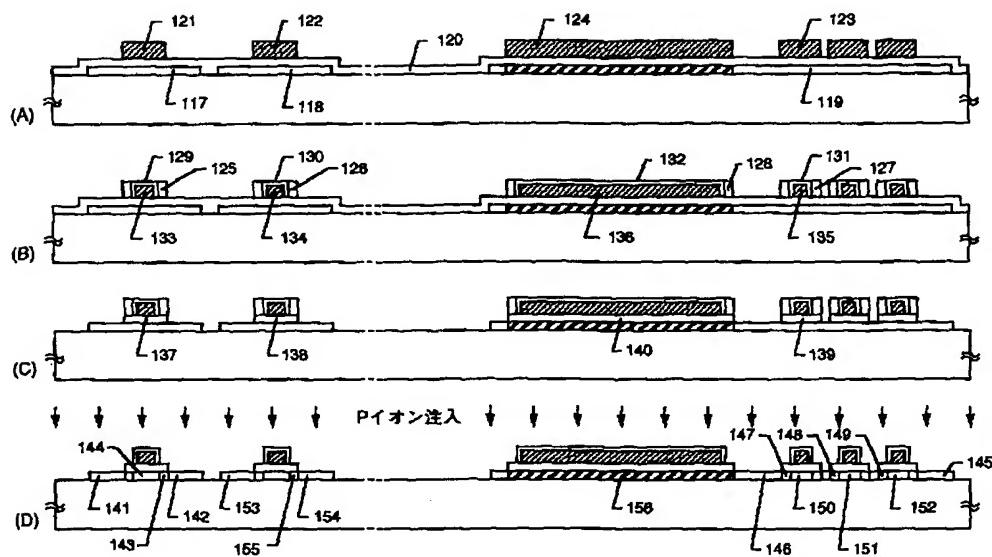
【図1】



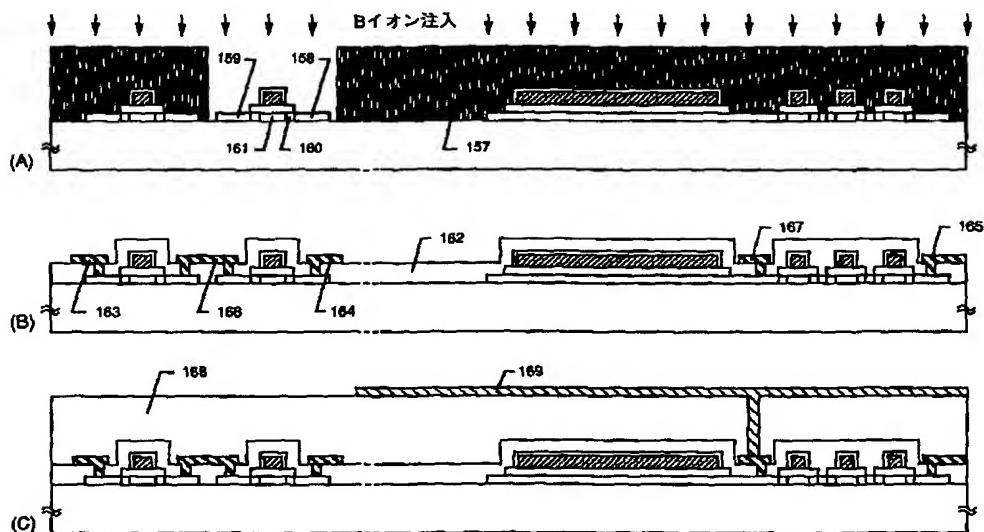
【図2】



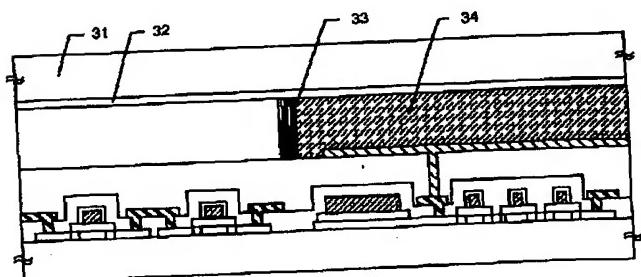
【図 3】



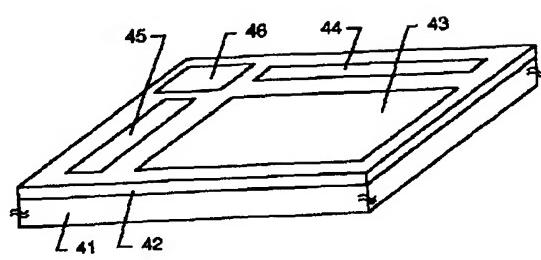
【図 4】



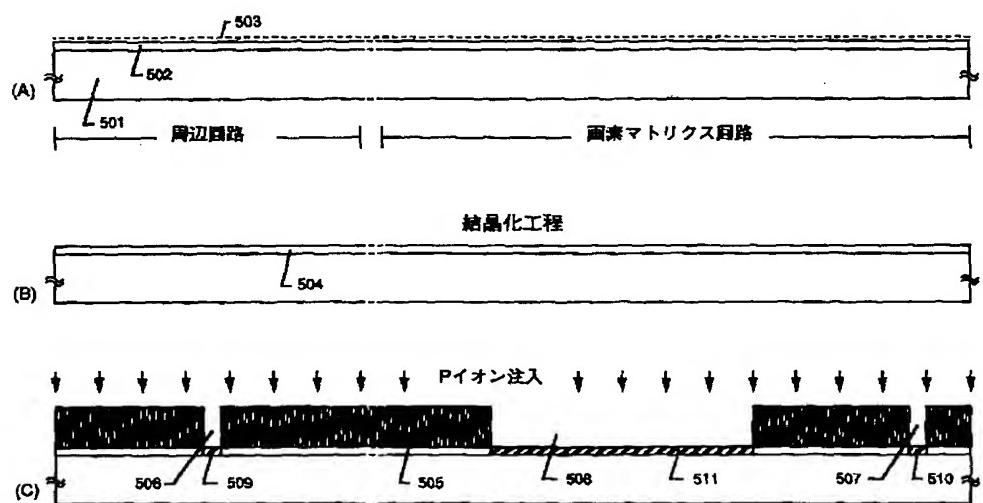
【図 13】



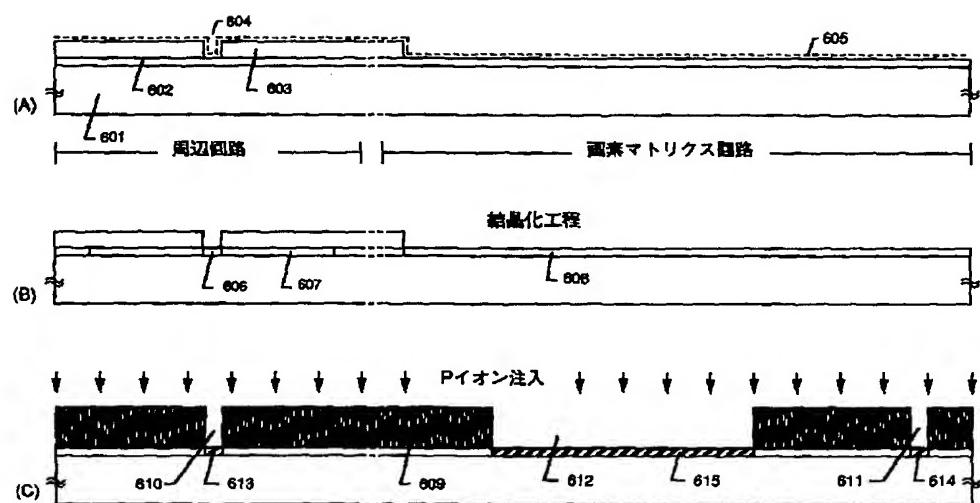
【図 14】



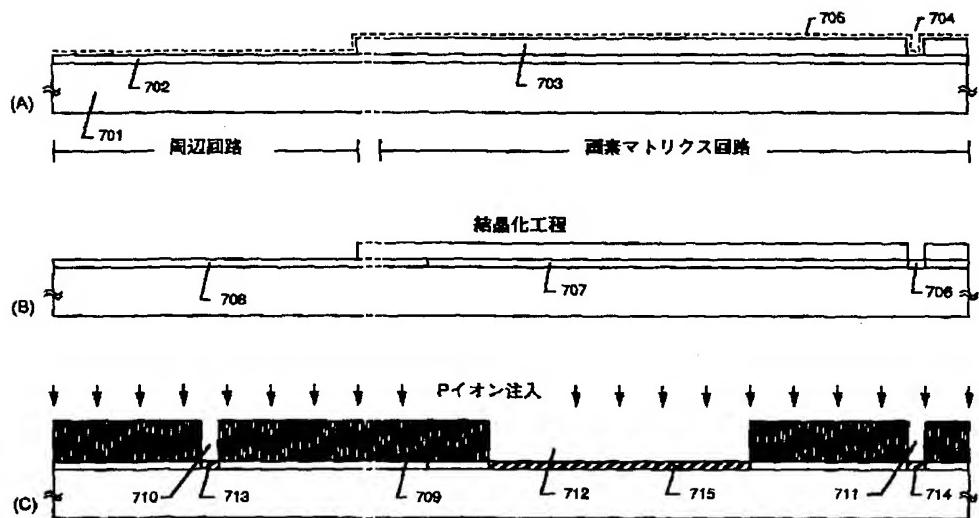
【図 5】



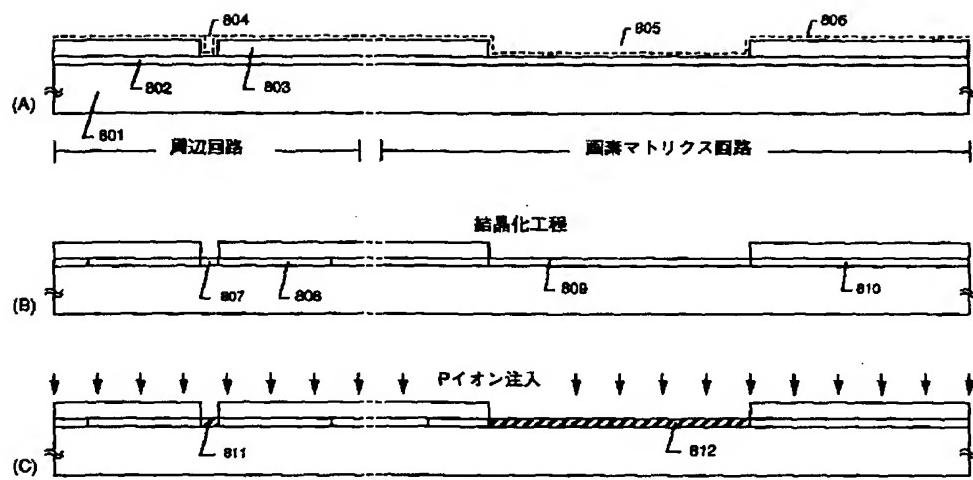
【図 6】



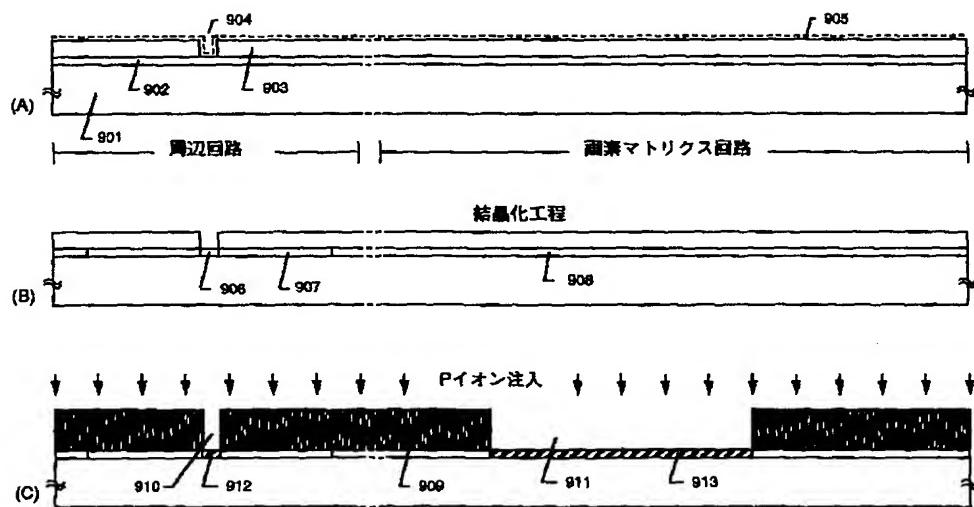
【図 7】



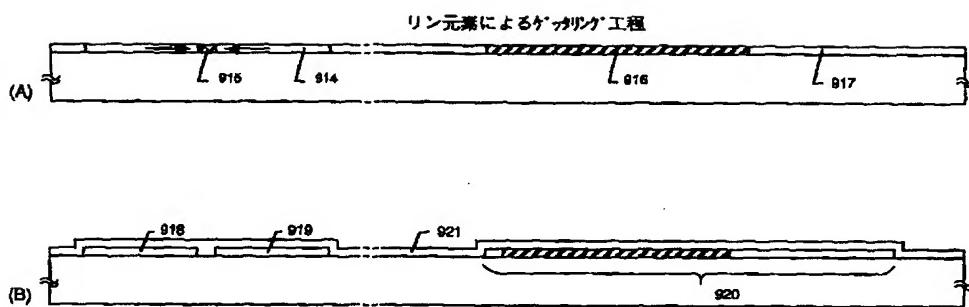
【図 8】



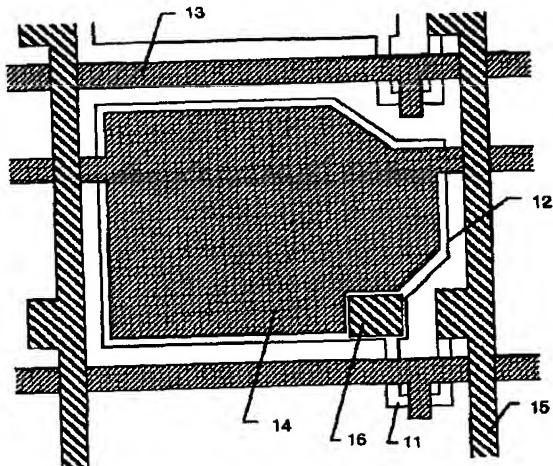
【図 9】



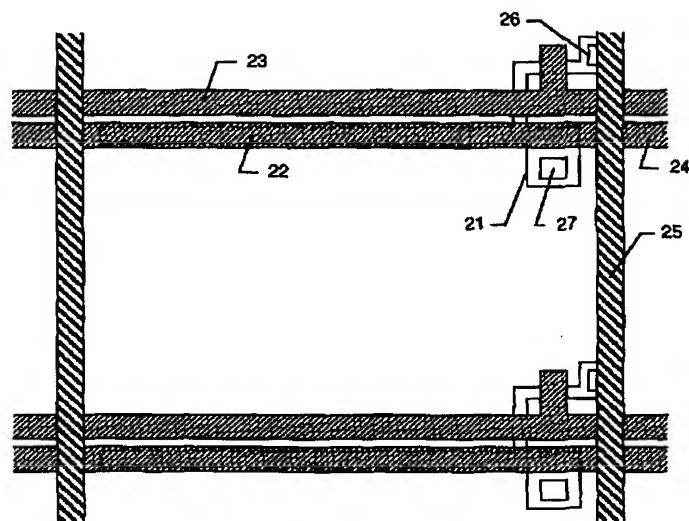
【図 10】



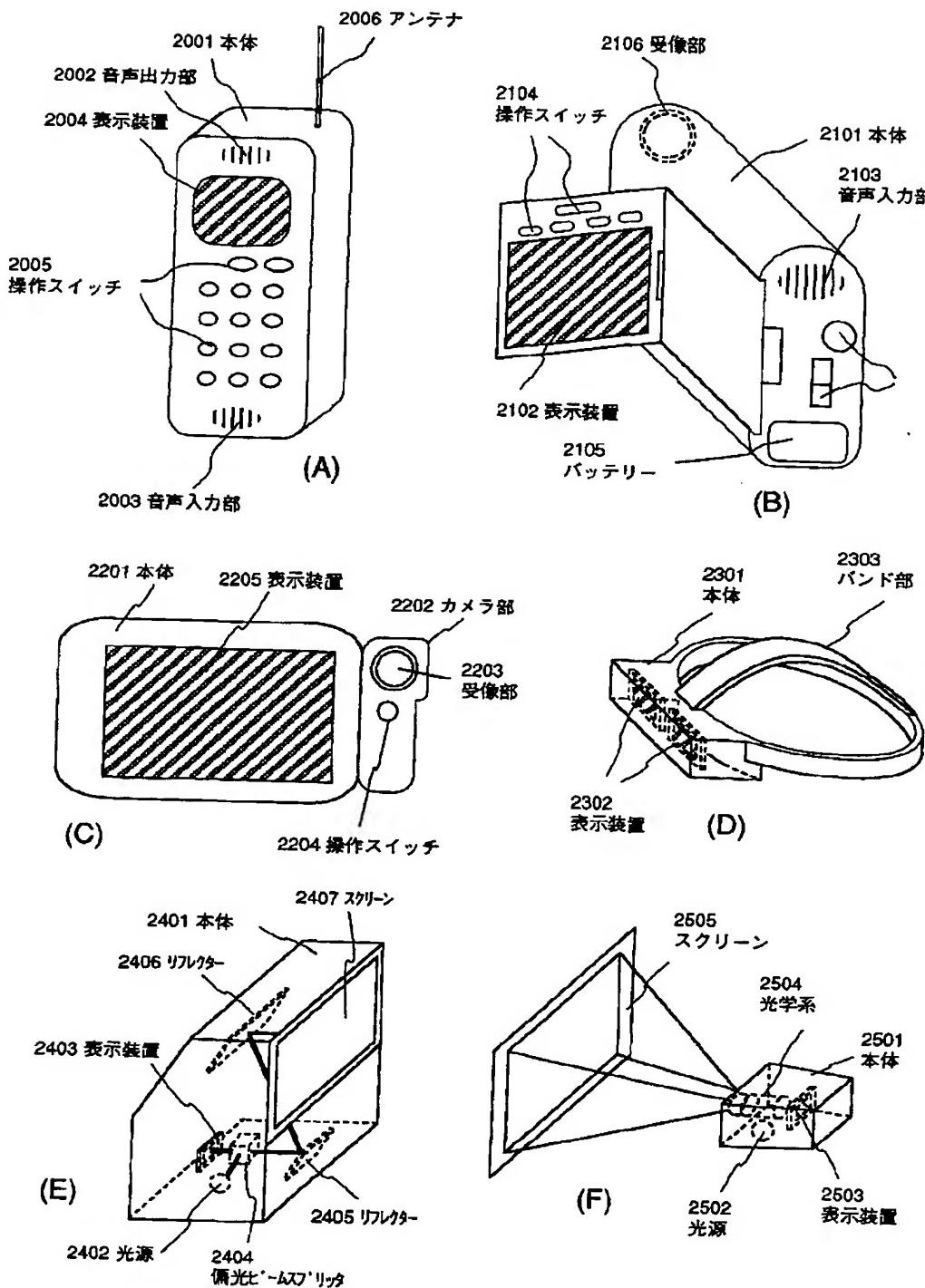
【図 11】



【図 12】



【図 15】



フロントページの続き

(72) 発明者 大谷 久  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内